



AK5388A

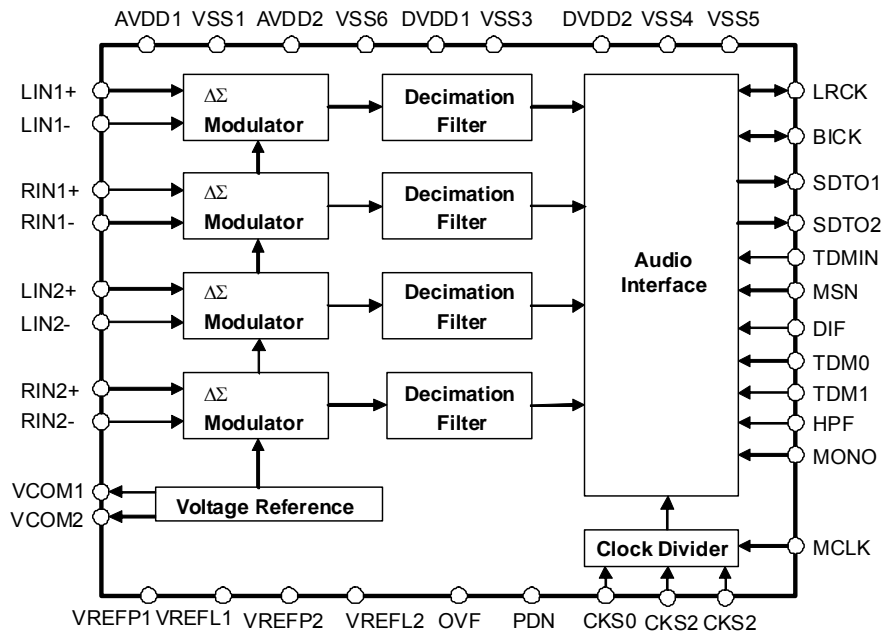
120dB 24-bit 192kHz 4-Channel ADC

概要

AK5388Aはハイエンドオーディオシステムに最適な8kHz ~ 216kHzサンプリング周波数対応の24bit 4チャンネルA/Dコンバータです。AKMオリジナルのエンハンスド・デュアルビット方式を採用しており高精度かつ低コストを実現しています。120dBのダイナミックレンジと110dBのS/(N+D)を実現し、モノラルモードでは123dBのダイナミックレンジに対応します。FIR方式を改良したデジタルフィルタはグループディレイを短縮し、すばらしい応答をもちます。AK5388Aは44pin LQFPに実装され、レコーディング、エフェクト処理、ステージ音響機器、サウンドカードなどのプロフェッショナル・オーディオ機器やハイエンドのAVレシーバに最適です。

特長

- サンプリングレート: 8kHz ~ 216kHz
- 完全差動入力
- S/(N+D): 110dB
- DR, S/N: 120dB(Mono Mode: 123dB)
- Short Delay Digital Filter (GD=12.6/fs)
 - 通過域: 0~21.648kHz (@fs=48kHz)
 - 通過域リップル: 0.01dB
 - 阻止域減衰量: 80dB
- デジタルHPF内蔵
- 電源電圧: 4.75~ 5.25V(アナログ), 3.0 ~ 3.6V(デジタル)
- 出力フォーマット: 24bit 前詰め, I²S or TDM
- カスケードTDM I/F: 8ch/48kHz, 4ch/96kHz, 4ch/192kHz
- マスタ& スレーブ モード
- オーバフローフラグ
- 消費電力: 575mW (@fs=48kHz)
- パッケージ: 44ピン LQFP



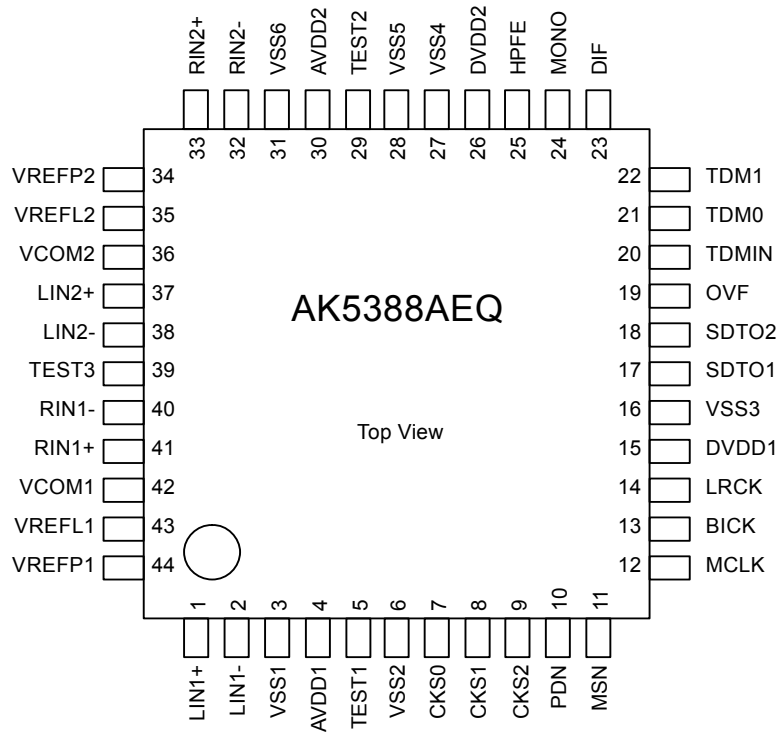
■ オーダリングガイド

AK5388AEQ
AKD5388A

-10 ~ +70°C
AK5388A評価用ボード

44pin LQFP (0.8mm pitch)

■ ピン配置



ピン／機能

No.	Pin Name	I/O	Function
1	LIN1+	I	ADC1 Lch Positive Analog Input Pin
2	LIN1-	I	ADC1 Lch Negative Analog Input Pin
3	VSS1	-	Ground Pin
4	AVDD1	-	Analog Power Supply Pin, 4.75 ~ 5.25V
5	TEST1	I	Test Pin (Connected to VSS1)
6	VSS2		Ground pin
7	CKS0	I	Clock Mode Select #0 Pin
8	CKS1	I	Clock Mode Select #1 Pin
9	CKS2	I	Clock Mode Select #2 Pin
10	PDN	I	Power-Down Mode Pin When "L", the circuit is in power-down mode. The AK5388A should always be reset upon power-up.
11	MSN	I	Master/Slave mode Select Pin "L": Slave mode, "H": Master mode
12	MCLK	I	Master Clock Input Pin
13	BICK	I/O	Audio Serial Data Clock Pin "L" Output in Master Mode at Power-down mode.
14	LRCK	I/O	Output Channel Clock Pin "L" Output in Master Mode at Power-down mode.
15	DVDD1	-	Digital Power Supply Pin, 3.0 ~ 3.6V
16	VSS3	-	Ground Pin
17	SDTO1	O	ADC1 Audio Serial Data Output Pin "L" Output at Power-down mode.
18	SDTO2	O	ADC2 Audio Serial Data Output Pin "L" Output at Power-down mode.
19	OVF	O	Analog Input Overflow Detect Pin This pin goes to "H" if any analog inputs overflows. "L" Output at Power-down mode.
20	TDMIN	I	TDM Data Input Pin
21	TDM0	I	TDM I/F Format Enable Pin "L" : Normal Mode, "H" : TDM Mode
22	TDM1	I	TDM I/F BICK Frequency Select Pin "L" : Normal Mode, "H" : TDM Mode
23	DIF	I	Audio Interface Format Pin "L": 24BitMSB justified, "H": 24Bit ² S Compatible
24	MONO	I	Stereo/Mono mode Select Pin "L": Stereo mode, "H": Mono mode
25	HPFE	I	HPF Enable Pin "L": Disable, "H" Enable
26	DVDD2	-	Digital Power Supply Pin, 3.0 ~ 3.6V
27	VSS4	-	Ground Pin
28	VSS5		Ground pin

Note: 全てのデジタル入力ピンはオープンにしないで下さい。

No.	Pin Name	I/O	Function
29	TEST2	I	Test Pin (Connected to VSS1-6)
30	AVDD2	-	Analog Power Supply Pin, 4.75 ~ 5.25V
31	VSS6	-	Ground Pin
32	RIN2-	I	ADC2 Rch Negative Analog Input Pin
33	RIN2+	I	ADC2 Rch Positive Analog Input Pin
34	VREFP2	I	ADC2 High Level Voltage Reference Input Pin
35	VREFL2	I	ADC2 Low Level Voltage Reference Input Pin
36	VCOM2	O	Common Voltage Output Pin, (AVDD2)/2 Normally connected to AVSS2 with a 0.1 μ F ceramic capacitor in parallel with an electrolytic capacitor less than 2.2 μ F.
37	LIN2+	I	ADC2 Lch Positive Analog Input Pin
38	LIN2-	I	ADC2 Lch Negative Analog Input Pin
39	TEST3	I	Test Pin (Connected to VSS1-6)
40	RIN1-	I	ADC1 Rch Negative Analog Input Pin
41	RIN1+	I	ADC1 Rch Positive Analog Input Pin
42	VCOM1	O	Common Voltage Output Pin, (AVDD1)/2 Normally connected to AVSS1 with a 0.1 μ F ceramic capacitor in parallel with an electrolytic capacitor less than 2.2 μ F.
43	VREFL1	I	ADC1 Low Level Voltage Reference Input Pin
44	VREFP1	I	ADC1 High Level Voltage Reference Input Pin

Note: 全てのデジタル入力ピンはオープンにしないで下さい。

■ 使用しないピンの処理について

使用しない入出力ピンは下記の設定を行い、適切に処理して下さい。

Classification	Pin Name	Setting
Analog	LIN1+/-, RIN1+/-	VSS1-6に接続
	LIN2+/-, RIN+/-	VSS1-6に接続
Digital	OVF	オープン
	TEST1	VSS1-6に接続
	TEST2	VSS1-6に接続
	TEST3	VSS1-6に接続

絶対最大定格

(VSS1-6 =0V; Note 1)

Parameter		Symbol	min	max	Unit
Power Supplies:	Analog	AVDD1	-0.3	6.0	V
	Analog	AVDD2	-0.3	6.0	V
	Digital	DVDD1	-0.3	6.0	V
	Digital	DVDD2	-0.3	6.0	V
Input Current, Any Pin Except Supplies		IIN	-	±10	mA
Analog Input Voltage (Note 2)		VINA	-0.3	AVDD1+0.3	V
		VINA	-0.3	AVDD2+0.3	
Digital Input Voltage (Note 3)		VIND	-0.3	DVDD1+0.3	V
		VIND	-0.3	DVDD2+0.3	
Ambient Temperature (power applied)		Ta	-10	70	°C
Storage Temperature		Tstg	-65	150	°C

Note 1. 電圧は全てVSS1-6 pinに対する値です。

Note 2. VREFP1, VREFP2, VREFL1, VREFL2, AINL1/2+, AINL1/2-, AINR1/2+, AINR1/2- pins

Note 3. PDN, CKS0, CKS1, CKS2, TDMIN, MCLK, BICK, LRCK, DIF, TDM0, TDM1, HPFE, MONO, TST1/2/3 pins

注意: この値を超えた条件で使用した場合、デバイスを破壊することがあります。

また、通常の動作は保証されません。

推奨動作条件

(VSS1-6 = 0V; Note 1)

Parameter		Symbol	min	typ	max	Unit
Power Supplies: (Note 4)	Analog	AVDD1	4.75	5.0	5.25	V
	Analog	AVDD2	4.75	5.0	5.25	V
	Digital	DVDD1	3.0	3.3	3.6	V
	Digital	DVDD2	3.0	3.3	3.6	V
Voltage Reference (Note 5)	“H” voltage Reference	VREFP1	AVDD1-0.5	--	AVDD1	V
		VREFP2	AVDD2-0.5	-	AVDD2	V
	“L” voltage reference	VREFL1	VSS1-6	-	-	V
		VREFL2	VSS1-6	-	-	V
	VREFP1 – VREFL1	Δ VREF	AVDD1-0.5	-	AVDD1	V
	VREFP2 – VREFL2	Δ VREF	AVDD2-0.5	-	AVDD2	V

Note 1. 電圧は全てVSS1-6 pinに対する値です。

Note 4. AVDD1/2とDVDD1/2の電源立ち上げシーケンスを考慮する必要はありません。

Note 5. VREFL pinとVREFR pinはVSS1-6に接続して下さい。

アナログ入力電圧は{(VREFP) – (VREFL)}に比例します。

$V_{in} (typ, @ 0dB) = \pm 2.8 \times \{(VREF+) - (VREF-)\} / 5 [V]$.

注意: 本データシートに記載されている条件以外のご使用に関しては、当社では責任負いかねますので十分ご注意下さい。

アナログ特性

(Ta = 25°C; AVDD1/2=5.0V; DVDD1/2=3.3V; VSS1-6=0V; VREFP1=VREFP2=AVDD, VREFL1 = VREFL2 = VSS1-6; fs=48kHz, 96kHz, 192kHz; BICK=64fs; Signal Frequency=1kHz; 24bit Data; Measurement frequency=10Hz ~ 20kHz at fs = 48kHz, 40Hz ~ 40kHz at fs = 96kHz, 40Hz ~ 40kHz at fs = 192kHz; unless otherwise specified)

Parameter	min	typ	max	Unit		
Analog Input Characteristics:						
Resolution	-	-	24	Bits		
Input Voltage (Note 6)	±2.7	±2.8	±2.9	Vpp		
S/(N+D)	fs=48kHz BW=20kHz	-1dBFS	100	110	-	dB
		-20dBFS	-	97	-	dB
		-60dBFS	-	57	-	dB
	fs=96kHz BW=40kHz	-1dBFS	97	107	-	dB
		-20dBFS	-	90	-	dB
		-60dBFS	-	50	-	dB
	fs=192kHz BW=40kHz	-1dBFS	-	107	-	dB
		-20dBFS	-	90	-	dB
		-60dBFS	-	50	-	dB
Dynamic Range (-60dBFS with A-weighted)	Stereo Mode	114	120	-	dB	
	Mono Mode	-	123	-	dB	
S/N (A-weighted)	Stereo Mode	114	120	-	dB	
	Mono Mode	-	123	-	dB	
Input Resistance	3.15	3.7	4.25	kΩ		
Interchannel Isolation	110	120		dB		
Interchannel Gain Mismatch		0.1	0.5	dB		
Power Supply Rejection (Note 7)		60	-	dB		
Power Supplies						
Power Supply Current						
Normal Operation (PDN pin = "H")						
AVDD1/2		105	130	mA		
DVDD (fs=48kHz)		15	22	mA		
DVDD (fs=96kHz)		27	39	mA		
DVDD (fs=192kHz)		20	29	mA		
Power down mode (PDN pin = "L") (Note 8)						
AVDD+DVDD		10	100	μA		

Note 6. (LIN+)-(LIN-)及び(RIN+)-(RIN-)の値です。VREFの電圧に比例します。

$$V_{in} = 0.56 \times V_{REF1/2} (V_{pp})$$

Note 7. VREFP1, VREFP2 pinの電圧を一定にしてAVDD1/2, DVDD1/2に1kHz, 20mVppの正弦波を重畳した場合です。

Note 8. 全てのデジタル入力ピンをDVDD1/2またはVSS3/4に固定した時の値です。

フィルタ特性 (fs=48kHz)

(Ta=25°C; AVDD1/2=4.75 ~ 5.25V; DVDD1/2=3.0 ~ 3.6V; DFS1 = "L", DFS0 = "L")

Parameter	Symbol	min	typ	max	Unit
ADC Digital Filter (Decimation LPF):					
Passband (Note 9)	-0.01dB	PB	0	21.6	kHz
	-0.1dB		-	22.0	kHz
	-3.0dB		-	23.8	kHz
	-6.0dB		-	24.4	kHz
Stopband	SB	27.9			kHz
Passband Ripple	PR			±0.01	dB
Stopband Attenuation	SA	80			dB
Group Delay (Note 10)	GD		12.6		1/fs
Group Delay Distortion	ΔGD		±0.01		μs
ADC Digital Filter (HPF):					
Frequency Response (Note 9)	-3dB	FR		1.0	Hz
	-0.1dB			6.5	Hz

フィルタ特性 (fs=96kHz)

(Ta=25°C; AVDD1/2=4.75 ~ 5.25V; DVDD1/2=3.0 ~ 3.6V; DFS1 = "L", DFS0 = "H")

Parameter	Symbol	min	typ	max	Unit
ADC Digital Filter (Decimation LPF):					
Passband (Note 9)	-0.01dB	PB	0	43.3	kHz
	-0.1dB		-	44.2	kHz
	-3.0dB		-	47.6	kHz
	-6.0dB		-	48.9	kHz
Stopband	SB	55.9			kHz
Passband Ripple	PR			±0.01	dB
Stopband Attenuation	SA	80			dB
Group Delay (Note 10)	GD		12.6		1/fs
Group Delay Distortion	ΔGD		±0.013		μs
ADC Digital Filter (HPF):					
Frequency Response (Note 9)	-3dB	FR		1.0	Hz
	-0.1dB			6.5	Hz

Note 9. 各振幅特性の周波数はfs(システムサンプリングレート)に比例します。各応答は1kHzを基準にします。

Note 10. デジタルフィルタによる遅延演算で、アナログ信号が入力されてから両チャンネルの24ビットデータがADC出力レジスタにセットされるまでの時間です。

フィルタ特性 (fs=192kHz)

(Ta=25°C; AVDD1/2=4.75 ~ 5.25V; DVDD1/2=3.0 ~ 3.6V; DFS1 = "H", DFS0 = "L")

Parameter	Symbol	min	typ	max	Unit	
ADC Digital Filter (Decimation LPF):						
Passband (Note 11)	-0.08dB	PB	-	-	83.0	kHz
	-0.1dB		-	83.4	-	kHz
	-3.0dB		-	99.9	-	kHz
	-6.0dB		-	106.5	-	kHz
Stopband	SB	141.1			kHz	
Passband Ripple	PR			±0.08	dB	
Stopband Attenuation	SA	80			dB	
Group Delay (Note 12)	GD		9.8		1/fs	
Group Delay Distortion	ΔGD		0		μs	
ADC Digital Filter (HPF):						
Frequency Response (Note 11)	-3dB	FR		1.0		Hz
	-0.1dB			6.5		Hz

Note 11. 各振幅特性の周波数はfs (システムサンプリングレート)に比例します。各応答は1kHzを基準にします。

Note 12. デジタルフィルタによる遅延演算で、アナログ信号が入力されてから両チャネルの24ビットデータがADC出力レジスタにセットされるまでの時間です。

DC特性

(Ta=25°C; AVDD1/2=4.75 ~ 5.25V; DVDD1/2=3.0 ~ 3.6V)

Parameter	Symbol	min	typ	max	Unit
High-Level Input Voltage	VIH	70%DVDD1	-	-	V
		70%DVDD2	-	-	V
Low-Level Input Voltage	VIL	-	-	30%DVDD1	V
			-	30%DVDD2	V
High-Level Output Voltage (Iout=-400μA)	VOH	DVDD1-0.4	-	-	V
		DVDD2-0.4	-	-	V
Low-Level Output Voltage (Iout=400μA)	VOL	-		0.4	V
Input Leakage Current	Iin	-	-	±10	μA

スイッチング特性

(Ta=25°C; AVDD1/2=4.75 ~ 5.25V; DVDD1/2=3.0 ~ 3.6V; CL=20pF)

Parameter	Symbol	min	typ	max	Unit	
Master Clock Timing						
Master Clock	128fs:	fCLK	1.024	24.576	27.648	MHz
	Pulse Width Low	tCLKL	0.4fCLK			ns
	Pulse Width High	tCLKH	0.4fCLK			ns
	192fs:	fCLK	1.536	36.864	41.472	MHz
	Pulse Width Low	tCLKL	0.4fCLK			ns
	Pulse Width High	tCLKH	0.4fCLK			ns
	256fs:	fCLK	2.048	12.288	27.648	MHz
	Pulse Width Low	tCLKL	0.4fCLK			ns
	Pulse Width High	tCLKH	0.4fCLK			ns
	384fs:	fCLK	3.072	18.432	41.472	MHz
	Pulse Width Low	tCLKL	0.4fCLK			ns
	Pulse Width High	tCLKH	0.4fCLK			ns
	512fs:	fCLK	4.096	24.576	27.648	MHz
	Pulse Width Low	tCLKL	0.4fCLK			ns
	Pulse Width High	tCLKH	0.4fCLK			ns
	768fs:	fCLK	6.144	36.864	41.472	MHz
	Pulse Width Low	tCLKL	0.4fCLK			ns
	Pulse Width High	tCLKH	0.4fCLK			ns
LRCK Timing (Slave Mode)						
Normal mode (TDM1="L", TDM0="L")						
LRCK Frequency	fs	8		216	kHz	
Duty Cycle	Duty	45		55	%	
TDM256 MODE (TDM1="L", TDM0="H")						
LRCK Frequency	fs	8		54	kHz	
"H" time	tLRH	1/256fs			ns	
"L" time	tLRL	1/256fs			ns	
TDM128 MODE (TDM1="H", TDM0="H")						
LRCK Frequency	fs	8		216	kHz	
"H" time	tLRH	1/128fs			ns	
"L" time	tLRL	1/128fs			ns	
LRCK Timing (Master Mode)						
Normal mode (TDM1="L", TDM0="L")						
LRCK Frequency	fs	8		216	kHz	
Duty Cycle	Duty		50		%	
TDM256 MODE (TDM1="L", TDM0="H")						
LRCK Frequency	fs	8		54	kHz	
"H" time (Note 13)	tLRH		1/8fs		ns	
TDM128 MODE (TDM1="H", TDM0="H")						
LRCK Frequency	fs	8		216	kHz	
"H" time (Note 13)	tLRH		1/4fs		ns	

Note 13. "L" time at I²S format

Parameter	Symbol	min	typ	max	Unit
Audio Interface Timing (Slave mode)					
Normal mode (TDM1="L", TDM0="L")					
BICK Period					
Normal Speed Mode	TBCK	1/128fs			ns
Double , Quad Speed Mode	TBCK	1/64fs			ns
Duty Cycle	Duty	40		60	%
LRCK Edge to BICK "↑" (Note 14)	tLRB	20			ns
BICK "↑" to LRCK Edge (Note 14)	tBLR	20			ns
LRCK to SDTO1/2 (MSB) (Except I ² S mode)	tLRS				ns
BICK "↓" to SDTO1/2	tBSD			20	ns
TDM256 mode (TDM1="L", TDM0="H")					
BICK Period	tBCK	1/256fs			ns
Duty Cycle	Duty	40		60	%
LRCK Edge to BICK "↑" (Note 14)	tLRB	20			ns
BICK "↑" to LRCK Edge (Note 14)	tBLR	20			ns
BICK "↓" to SDTO1 (Note 15)	tBSD			20	ns
TDMIN Setup time	tTDMS	16			ns
TDM128 mode (TDM1="H", TDM0="H") (8KHz ≤ fs < 108KHz)					
BICK Period	tBCK	1/128fs			ns
Duty Cycle	Duty	40		60	%
LRCK Edge to BICK "↑" (Note 14)	tLRB	20			ns
BICK "↑" to LRCK Edge (Note 14)	tBLR	20			ns
BICK "↓" to SDTO1 (Note 15)	tBSD			20	ns
TDM128 mode (TDM1="H", TDM0="H") (108KHz < fs ≤ 216KHz)					
BICK Period	tBCK	1/128fs			ns
Duty Cycle	Duty	40		60	%
LRCK Edge to BICK "↑" (Note 14)	tLRB	10			ns
BICK "↑" to LRCK Edge (Note 14)	tBLR	10			ns
SDTO1 Setup time BICK "↑" (Note 15)	tBSS	10			ns
SDTO1 Hold time BICK "↑" (Note 15)	tBSH	5			ns

Parameter	Symbol	min	typ	max	Unit
Audio Interface Timing (Master mode)					
Normal mode (TDM1="L", TDM0="L")					
BICK Frequency	fBCK		64fs		Hz
BICK Duty	dBCK		50		%
BICK "↓" to LRCK	tMBLR	-20		20	ns
BICK "↓" to SDTO1/2	tBSD	-20		20	ns
TDM256 mode (TDM1="L", TDM0="H")					
BICK Frequency	fBCK		256fs		Hz
BICK Duty (Note 16)	dBCK		50		%
BICK "↓" to LRCK	tMBLR	-12		12	ns
BICK "↓" to SDTO1 (Note 15)	tBSD	-20		20	ns
TDM128 mode (TDM1="H", TDM0="H") (8KHz ≤ fs < 108KHz)					
BICK Frequency	fBCK		128fs		Hz
BICK Duty	dBCK		50		%
BICK "↓" to LRCK	tMBLR	-12		12	ns
BICK "↓" to SDTO1 (Note 15)	tBSD	-20		20	ns
TDM128 mode (TDM1="H", TDM0="H") (108KHz < fs ≤ 216KHz)					
BICK Frequency	fBCK		128fs		Hz
BICK Duty	dBCK		50		%
BICK "↓" to LRCK	tMBLR	-6		6	ns
BICK "↓" to SDTO1	tBSD	-10		10	ns
Power-Down & Reset Timing					
PDN Pulse Width (Note 17)	tPD	150			ns
PDN "↑" to SDTO1/2 valid (Note 18)	tPDV		516		1/fs

Note 14. この規格値はLRCKのエッジとBICKの“↑”が重ならないように規定しています。

Note 15. SDTO2 出力は“L”で固定です。

Note 16. MCLK=512fsの場合の値です。MCLK=256fs/384fs時は保障されません。

Note 17. AK5388AはPDN pin = “L”でリセットされます。

Note 18. PDN pinを立ち上げてからのLRCKクロックの“↑”の回数です。値はマスタモードでの値です。
スレーブモードでは1LRCKクロック(1/fs)長くなります。

■ タイミング波形

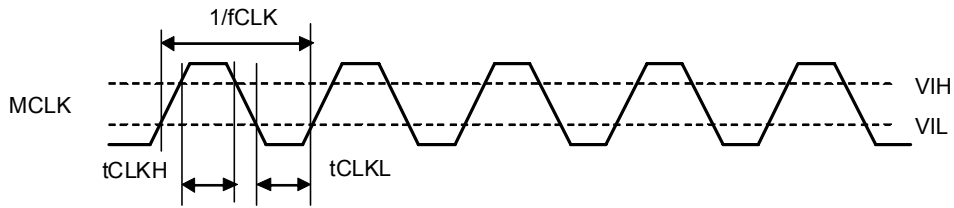


Figure 1. MCLK Timing (TDM0 pin = “L” or “H”)

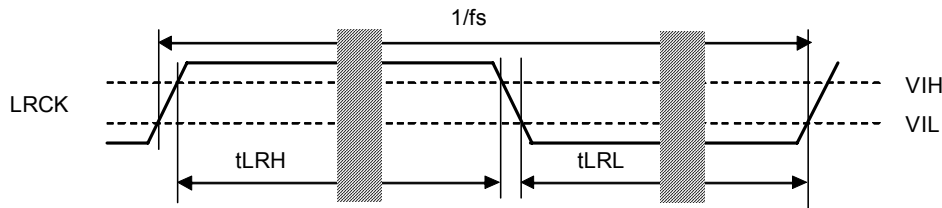


Figure 2. LRCK Timing (TDM0 pin = “L” or “H”)

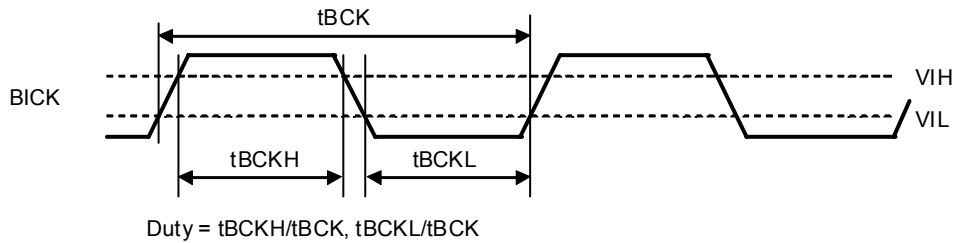


Figure 3. BICK Timing (TDM0 pin = “L” or “H”)

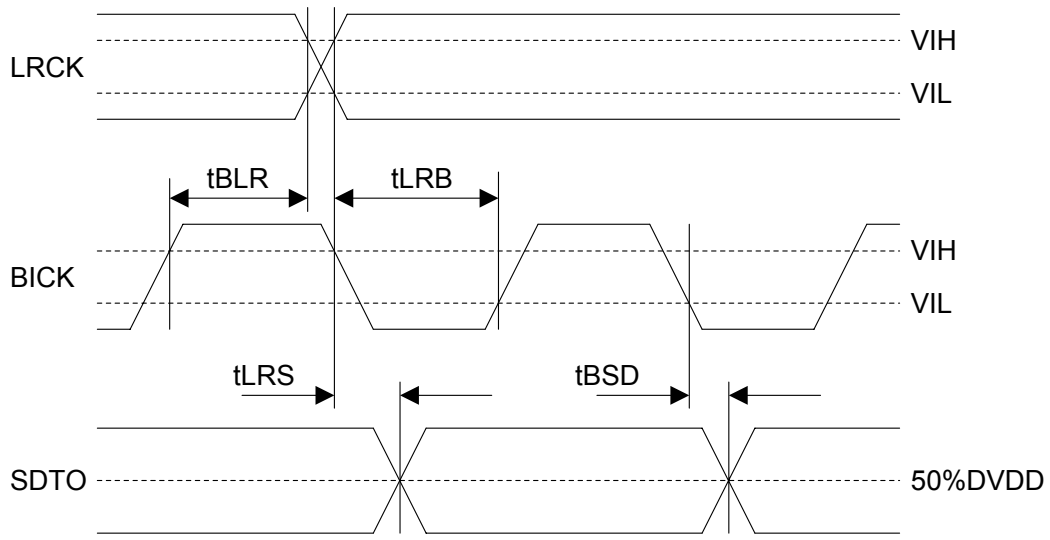


Figure 4. Audio Interface Timing (Slave mode, TDM0 pin = "L")

Note: SDTO shows SDTO1 and SDTO2.

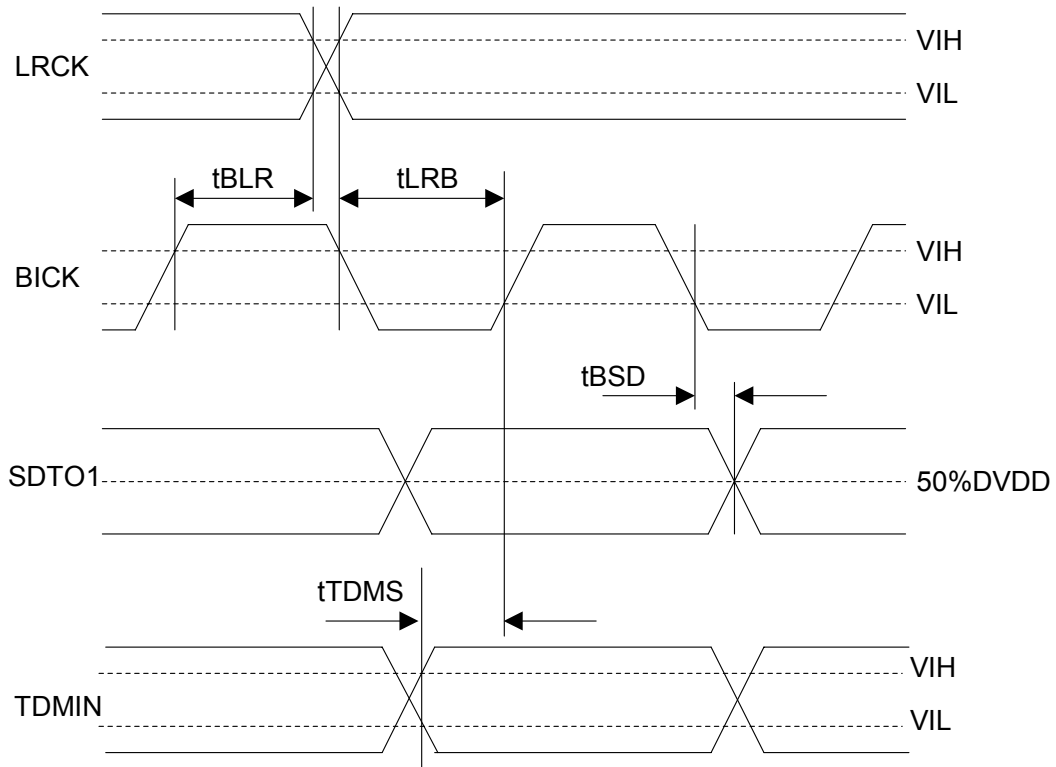


Figure 5. Audio Interface Timing (Slave mode, TDM0 pin = "H")

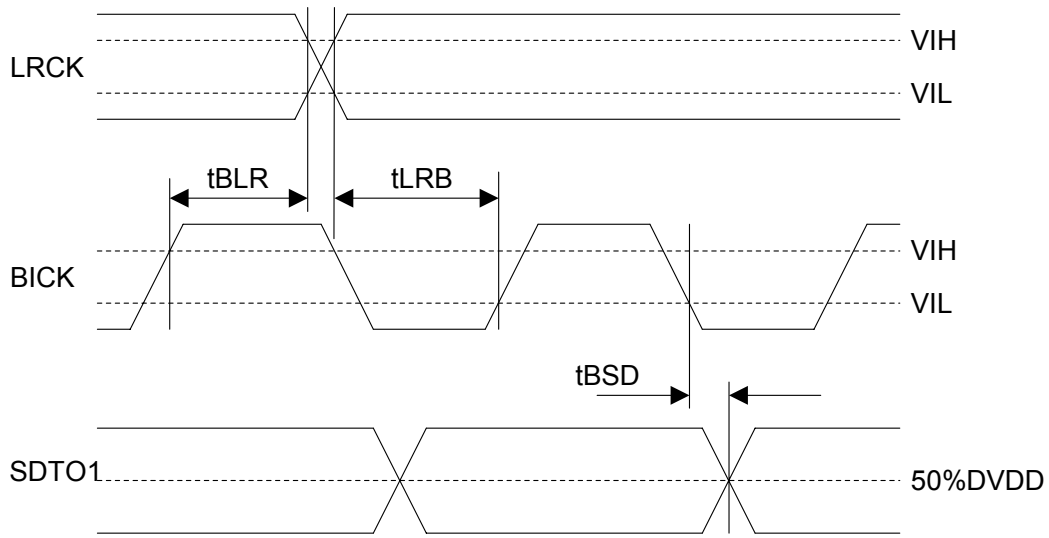


Figure 6. Audio Interface Timing (Slave mode, TDM0 pin = “H”, TDM1 pin = “H”, $8\text{KHz} \leq f_s < 108\text{KHz}$)

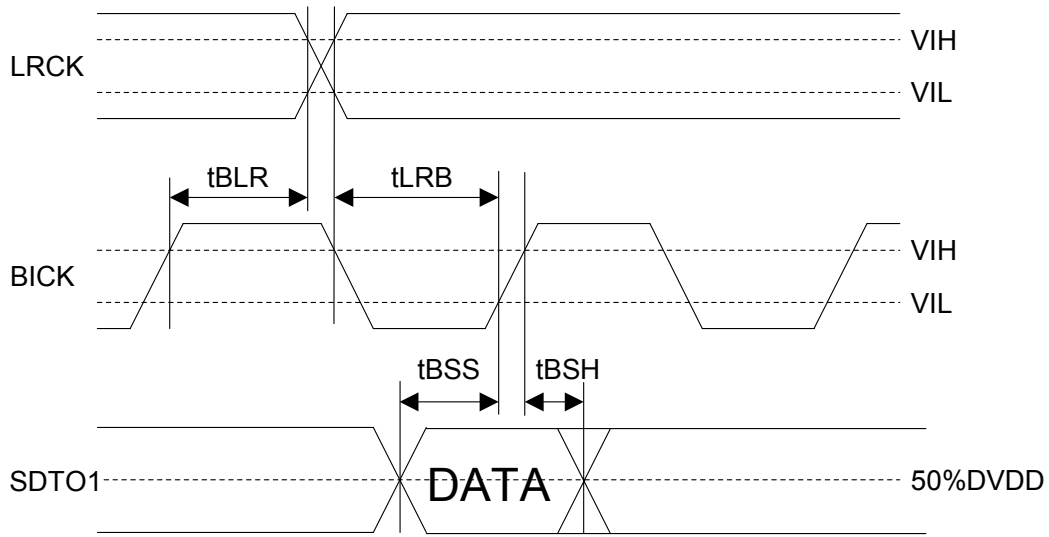


Figure 7. Audio Interface Timing (Slave mode, TDM0 pin = “H”, TDM1 pin = “H”, $108\text{KHz} < f_s \leq 216\text{KHz}$)

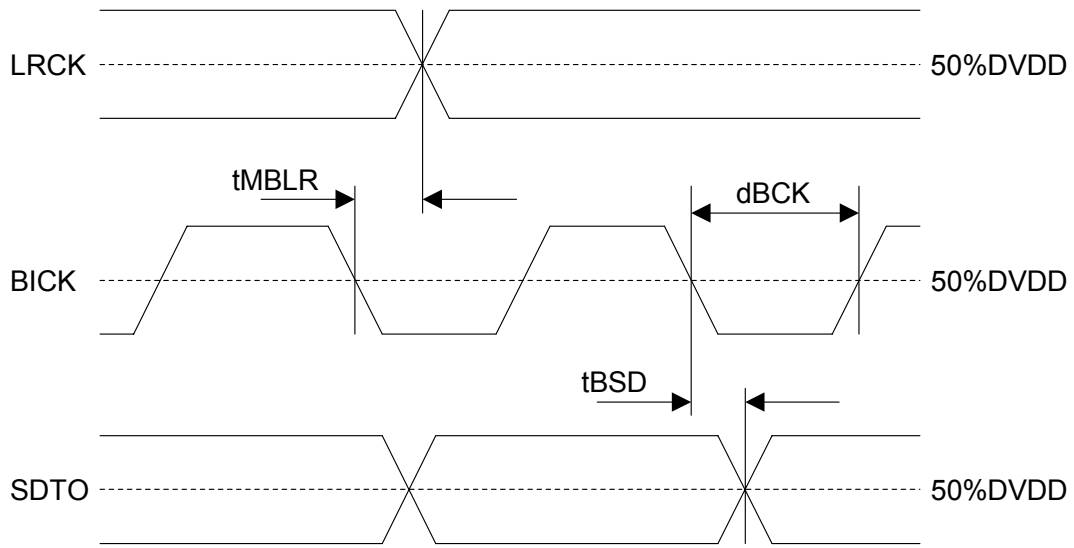


Figure 8. Audio Interface Timing (Master mode)

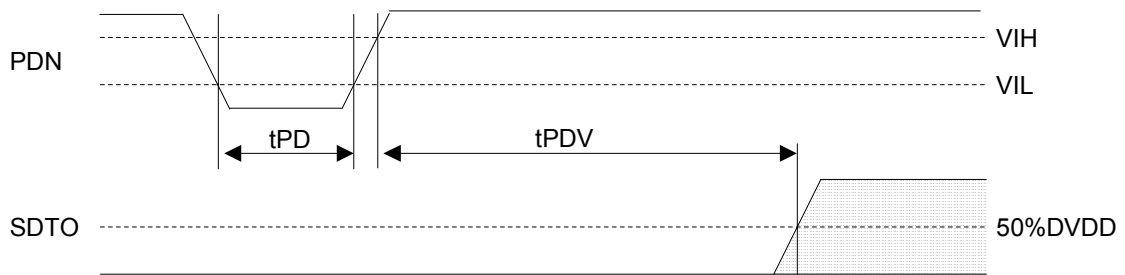


Figure 9. Power Down & Reset Timing

Note: SDTO shows SDTO1 and SDTO2.

動作説明

■ システムクロック

AK5388Aがスレーブモード時に必要とされるクロックはMCLK (128fs/192fs/256fs/384fs/512fs/768fs), BICK (48fs~), LRCK (fs)です。MCLKとLRCKは同期する必要はありますが、位相を合わせる必要はありません。Table 1/2/3に標準のオーディオレートに対してAK5388Aに必要とされる各クロックの周波数を示します。AK5385のマスタクロック周波数はCKS1-0 pin (Table 4)で設定します。

スレーブモード時には、AK5388AはLRCKによる位相検出回路を内蔵しているため、動作中に各クロックの周波数変更等で内部タイミングがずれた場合には自動的にリセットがかかり位相合わせが行われます。

スレーブモードでの動作時(PDN pin = “H”)は、各外部クロック(MCLK, BICK, LRCK)を止めてはいけません。これらのクロックが供給されない場合、内部にダイナミックなロジックを使用しているため、過電流が流れ動作が異常になる可能性があります。クロックを止める場合はパワーダウン状態(PDN pin = “L”)にして下さい。マスタモードではパワーダウン時以外は、外部クロック(MCLK)を供給して下さい。

複数デバイスにて同期をとる場合、動作CLK切り替え時、クロックモード切替時、デジタルIF切り替え時には、一度PDN pinにてリセットを実施してください。またCLKやモードの切り替えはリセット期間中に実施してください。リセット解除後は安定したCLKを供給してください。

fs	MCLK					
	128fs	192fs	256fs	384fs	512fs	768fs
32kHz	N/A	N/A	8.192MHz	12.288MHz	16.384MHz	24.576MHz
48kHz	N/A	N/A	12.288MHz	18.432MHz	24.576MHz	36.864MHz
96kHz	N/A	N/A	24.576MHz	N/A	N/A	N/A
192kHz	24.576MHz	36.864MHz	N/A	N/A	N/A	N/A

(N/A: Not available)

Table 1. System Clock Example (Slave Mode)

fs	MCLK					
	128fs	192fs	256fs	384fs	512fs	768fs
32kHz	N/A	N/A	8.192MHz	12.288MHz	16.384MHz	24.576MHz
48kHz	N/A	N/A	12.288MHz	18.432MHz	24.576MHz	36.864MHz
96kHz	N/A	N/A	24.576MHz	36.864MHz	N/A	N/A
192kHz	24.576MHz	36.864MHz	N/A	N/A	N/A	N/A

(N/A: Not available)

Table 2. System Clock Example (Master Mode)

fs	MCLK					
	128fs	192fs	256fs	384fs	512fs	768fs
32kHz	N/A	N/A	N/A	N/A	16.384MHz	24.576MHz
48kHz	N/A	N/A	N/A	N/A	24.576MHz	36.864MHz
96kHz	N/A	N/A	24.576MHz	36.864MHz	N/A	N/A
192kHz	24.576MHz	36.864MHz	N/A	N/A	N/A	N/A

(N/A: Not available)

Table 3. System Clock Example (Auto Mode)

CKS2 pin	CKS1 pin	CKS0 pin	M/S Pin	MCLK Frequency
L	L	L	L	Quad Speed Mode 128fs (108KHz < fs ≤ 216KHz)
			H	
L	L	H	L	Quad Speed Mode 192fs (108KHz < fs ≤ 216KHz)
			H	
L	H	L	L	Normal Speed Mode 256fs (8KHz ≤ fs ≤ 54KHz)
			H	
L	H	H	L	Double Speed Mode 256fs (54KHz < fs ≤ 108KHz)
			H	
H	L	L	L	Auto (8KHz ≤ fs ≤ 216KHz)
			H	
H	L	H	L	Normal Speed Mode 384fs (8KHz ≤ fs ≤ 54KHz)
			H	
H	H	L	L	Normal Speed Mode 512fs (8KHz < fs ≤ 54KHz)
			H	
H	H	H	L	Normal Speed Mode 768fs (8KHz ≤ fs ≤ 54KHz)

Table 4. MCLK 周波数

スレーブモード/マスタモード共に、MCLK周波数を変更する場合はPDN pin = “L”でリセットして下さい。

[例] 12.288MHz(@fs=48kHz) at CKS1 pin = CKS0 pin = “L”.

■ オーディオインタフェース フォーマット

12種類のデータフォーマットがTDM1-0 pin, M/S pin, DIF pin (Table 5)で選択できます。オーディオデータのフォーマットはDIF pinで選択可能です。全てのモードで、MSBファースト、2'sコンプリメントのデータフォーマットでSDTO1/2はBICKの立ち下がり出力されます。

ノーマルモード時、Mode1-0はスレーブモードでBICKは128fsまで有効です(fs=48kHz)。Mode2-3はマスタモードでBICKは64fsを出力します。

TDM256 modeでは、全ADC(4チャンネル)のシリアルデータはSDTO1 pinから出力されます。SDTO2出力は“L”に固定で、BICKは256fsの必要があります。スレーブモードではLRCKの“H”幅と“L”幅は1/256fs(min)、マスタモードではLRCKの“H”幅(I²S modeでは“L”幅)は1/8fs(typ)です。TMD256 modeは48kHzのみに対応していません。

TDM128 modeでは、すべてのADCシリアルデータ(4チャンネル)はSDTO1 pinから出力されます。SDTO2出力は“L”に固定で、BICKは128fsの必要があります。スレーブモードではLRCKの“H”幅と“L”幅は1/128fs(min)、マスタモードではLRCKの“H”幅(I²S modeでは“L”幅)は1/4fs(typ)です。TMD128 modeは192kHzまでのサンプリングレートに対応します。

Mode	TDM1	TDM0	M/S	DIF	SDTO	LRCK		BICK	
							I/O		I/O
0	Normal	L	L	L	24bit, MSB justified	H/L	I	48-128fs	I
1				H	24bit, I ² S Compatible	L/H	I	48-128fs	I
2				L	24bit, MSB justified	H/L	O	64fs	O
3				H	24bit, I ² S Compatible	L/H	O	64fs	O
4	TDM256	L	H	L	24bit, MSB justified	↑	I	256fs	I
5				H	24bit, I ² S Compatible	↓	I	256fs	I
6				L	24bit, MSB justified	↑	O	256fs	O
7				H	24bit, I ² S Compatible	↓	O	256fs	O
8	TDM128	H	H	L	24bit, MSB justified	↑	I	128fs	I
9				H	24bit, I ² S Compatible	↓	I	128fs	I
10				L	24bit, MSB justified	↑	O	128fs	O
11				H	24bit, I ² S Compatible	↓	O	128fs	O
12	N/A	H	L	N/A	N/A	N/A	N/A	N/A	N/A

Table 5. オーディオインタフェース フォーマット (N/A: Not available)

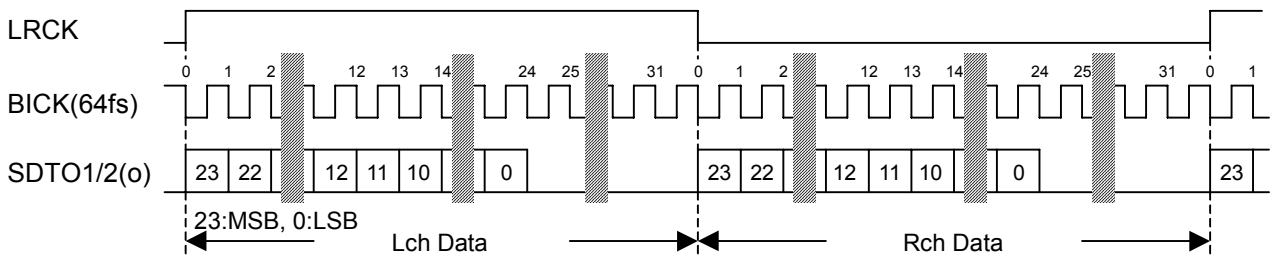


Figure 10. Mode 0/2 Timing (Normal mode, MSB justified)

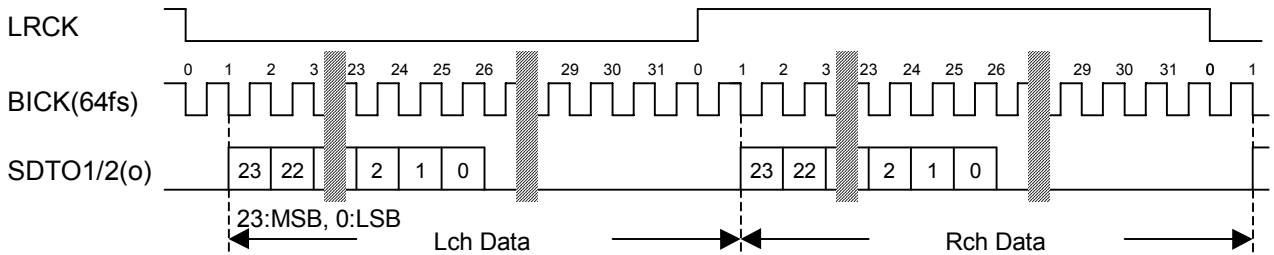


Figure 11. Mode 1/3 Timing (Normal mode, I²S Compatible)

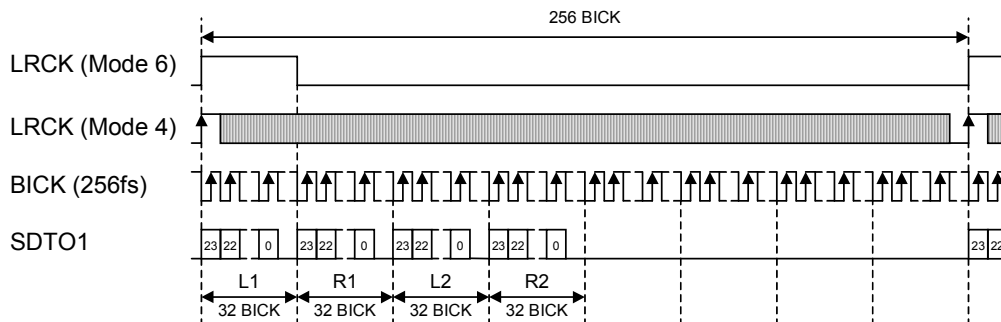


Figure 12. Mode 4/6 Timing (TDM256 mode, MSB justified)

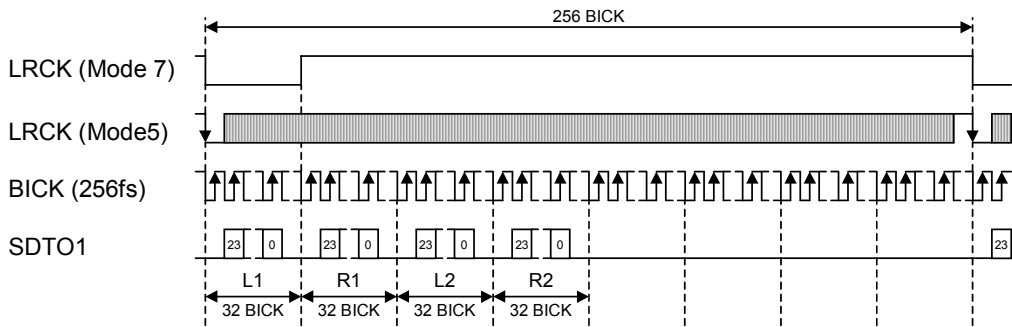


Figure 13. Mode 5/7 Timing (TDM256 mode, I²S Compatible)

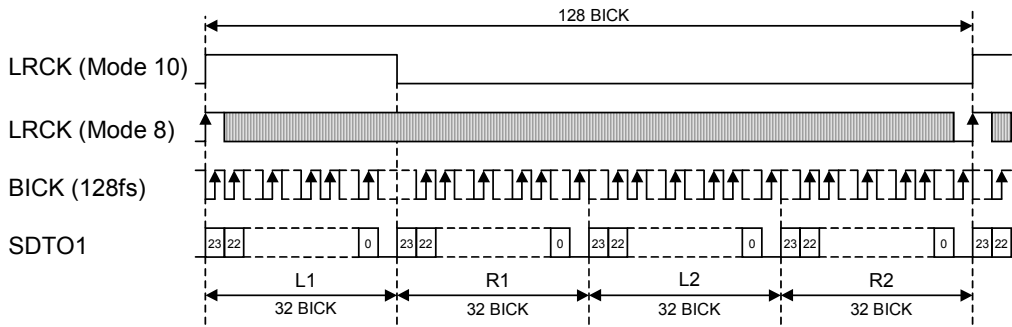


Figure 14. Mode 8/10 Timing (TDM128 mode, MSB justified)

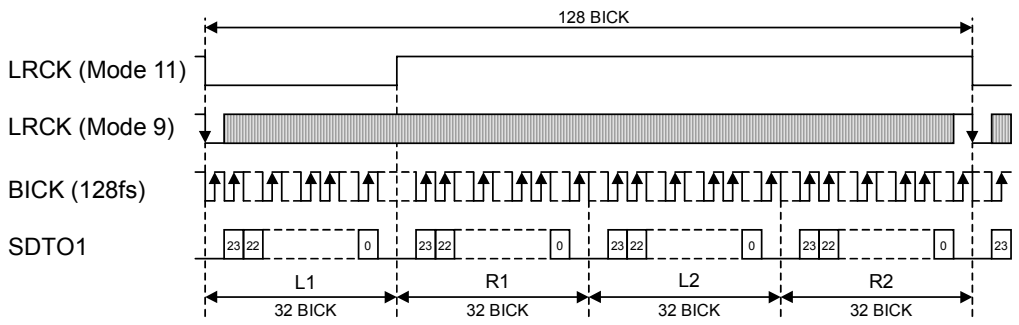


Figure 15. Mode 9/11 Timing (TDM128 mode, I²S Compatible)

■ デジタルHPF

ADCはDCオフセットキャンセルのためにデジタルHPFを内蔵します。HPFE pinの設定により、HPFのON/OFFを制御することができます。但し、動作中にHPFのON/OFF設定を変更すると、DCオフセット値の変化によるクリック音発生の原因となります。設定変更はパワーダウン(PDN pin = “L”)時に行うことを推奨します。

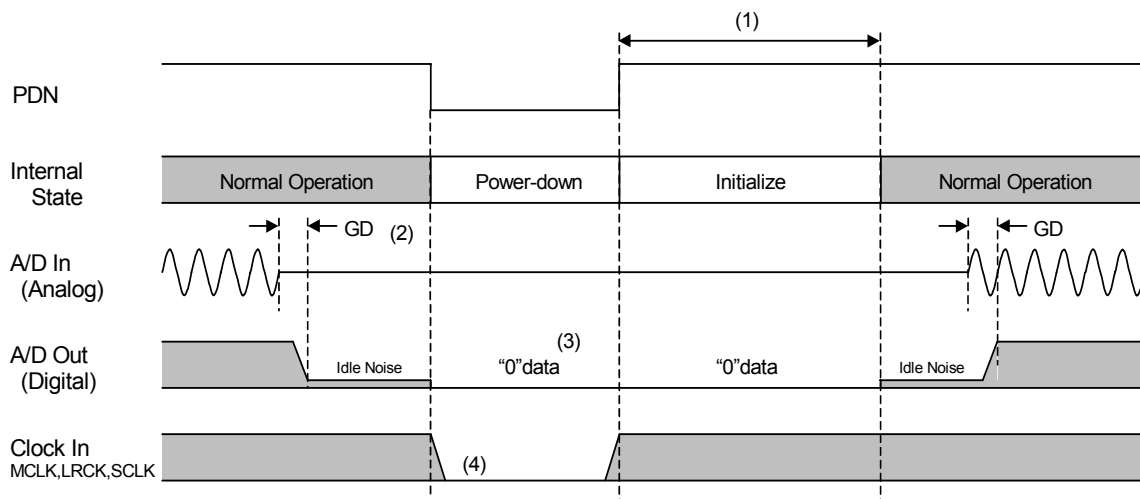
■ オーバフロー検出機能

AK5388Aはアナログ入力のオーバフロー検出機能を持ちます。LchまたはRchのアナログ入力が増幅されると(-0.3dBFS以上)、OVF pinが“H”になります。オーバフローしたアナログ入力に対するOVF出力はADCと同じ群遅延($GD=13/fs=0.27ms@fs=48kHz$)を持ちます。パワーダウン解除後(PDN pin = “L” → “H”)、 $516/fs(=10.75ms@fs=48kHz)$ の間OVF pinは“L”で、その後オーバフロー検出機能が有効になります。

■ パワーダウン/リセット

PDN pin を“L”にするとAK5388Aはパワーダウン状態になり、この時、同時に内部のデジタルフィルタがリセットされます。このリセットは電源投入時に必ず一度行って下さい。パワーダウン状態の時、VCOMはAGNDの電圧になります。パワーダウンが解除された後にアナログ部の初期化サイクルが始まります。そのため、SDTO出力はマスターモード時に517 LRCK サイクル後(スレーブモード時、516 LRCK サイクル)に確定します。初期化中は両チャンネルのADC出力は“0”となります。初期化サイクルが終了した後、ADC出力は入力に対応した値に落ち着きます(ADC出力が落ち着くまでには約、群遅延(GD)程度かかります)。

電源投入時、一度PDN pinを“L”にしてリセットして下さい。その後、PDN pinを“H”にするとリセット及びパワーダウンはMCLKで解除され、LRCKの立ち上がりエッジ(出力フォーマットがMode 1の時は立ち下がりエッジ)に同期して内部のタイミングが動作します。



Notes:

- (1) スレーブモード時は517/fs、マスターモード時は 516/fs です。
- (2) デジタル入力に対してアナログ出力は群遅延(GD)を持ちます。
- (3) パワーダウン状態時、A/D 出力は“0”です。
- (4) 外部クロック(MCLK, SCLK, LRCK)を停止する時、AK5388Aはパワーダウン状態にしてください。

Figure 16. パワーダウン/アップ シーケンス

■ TDM Mode 時のカスケード接続

TDM256 mode時に、AK5388Aはデジター・チェーン形態で最大2台までのカスケード接続に対応します。この時、デバイス#1のSDTO1 pin はデバイス#2のTDMIN pin に接続され、デバイス#2のSDTO1 pinからデバイス#1の4チャンネルTDMデータとデバイス#2の4チャンネルTDMデータを接続して、8チャンネルTDMデータとして出力できます。Figure 17に接続例を示します。

2つのデバイスをカスケード接続してスレーブモードで使用する場合、入力されるMCLKとBICKのタイミングによってはデバイス#1～#4で内部の動作タイミングがMCLKの1クロック分ずれる可能性があります。

デバイス間で位相ずれをなくすためには、Table 6に示すようにMCLKの↑に対してBICKの↓を±10ns以上とすることを推奨します。

この、タイミングを実現するためには、MCLK=2×BICK(通常速512fsモード、2倍速)の時は、Figure 19に示すようにMCLKの↓で2分周したBICKを、MCLK=BICK(通常速256モード、4倍速)の時は、Figure 20に示すようにMCLKとBICKを同相で入力することでTable 6のタイミングを満足することができます。

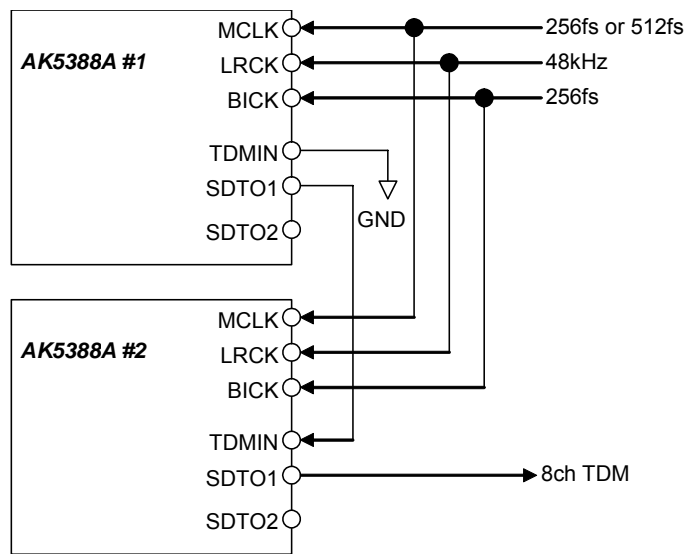


Figure 17. TDMカスケード接続図

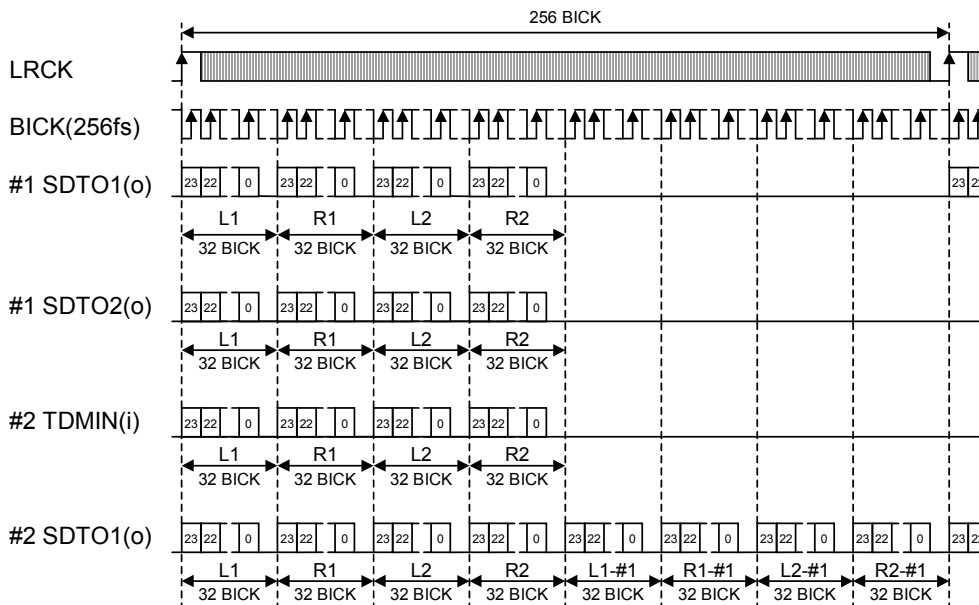


Figure 18. カスケードTDMタイミング

Parameter	Symbol	min	typ	max	Units
MCLK “↑” to BICK “↓”	tMCB	10			ns
BICK “↓” to MCLK “↑”	tBIM	10			ns

Table 6 TDM Mode Clock Timing

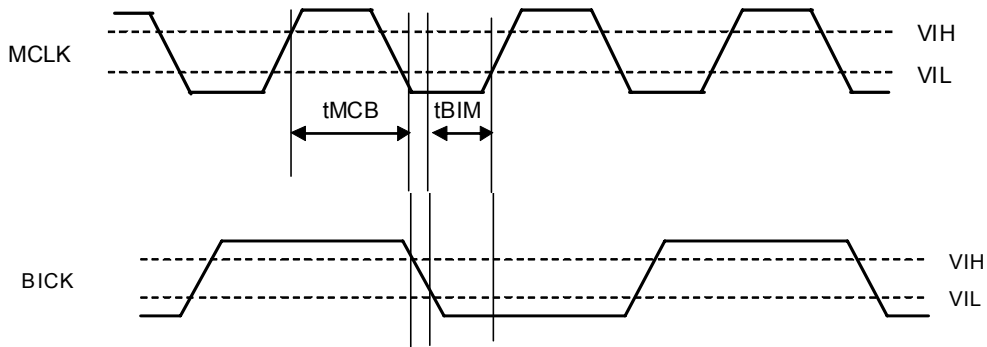


Figure 19. Audio Interface timing (Slave mode, TDM0 Mode MCLK=2×BICK)

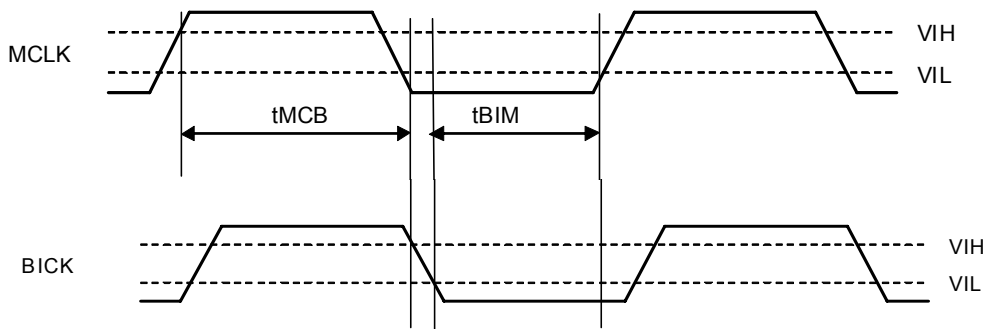


Figure 20. Audio Interface Timing (Slave mode, TDM0 Mode MCLK=BICK)

■ Mono Mode

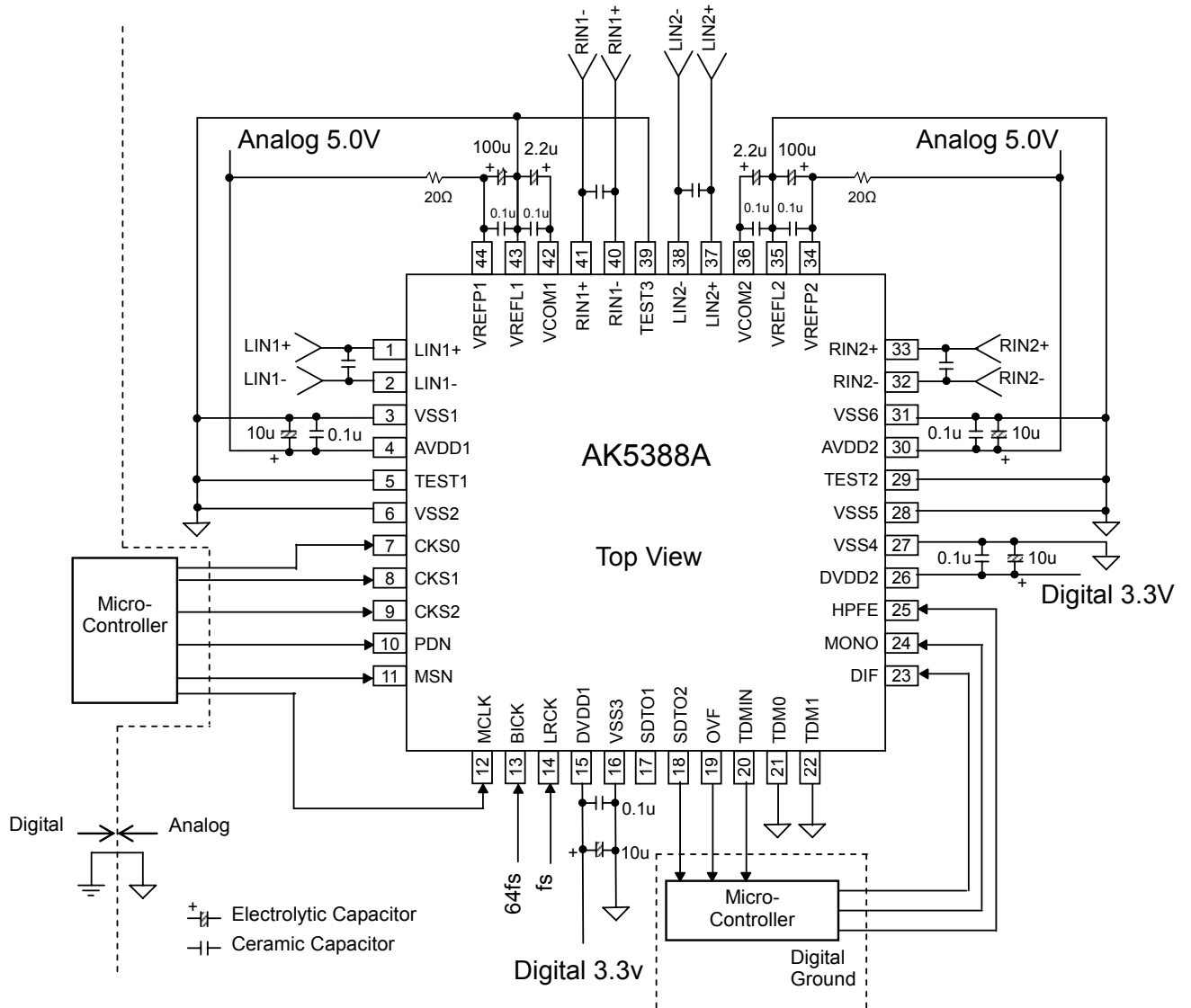
MONO pin = “H” でAK5388AはMono modeになります。Mono mode時にLIN1とRIN1、LIN2とRIN2に同一データを入力することでダイナミックレンジとS/Nが約3dB改善されます。このモードではSDTO1 pinにはLIN1とRIN1を加算して振幅を1/2にしたデータが、通常のSDTO1の場合のLch, Rchスロットに同じデータが出力されます。SDTO2 pinにはLIN2とRIN2を加算して振幅を1/2にしたデータが、通常のSDTO2の場合のLch, Rchスロットに同じデータが出力されます。

MONO pin	SDTO1/2 Output Data
L	Stereo Mode
H	Mono Mode

Table 7. Mono Mode 設定

システム設計

Figure 21 と Figure 22 はシステム接続例です。具体的な回路と測定例については評価ボード(AKD5388A)を参照して下さい。



注:

- AK5388AのVSS1-6と周辺コントローラ等のグラウンドは分けて配線して下さい。
- すべてのデジタル入力ピンはオープンにしないで下さい。

Figure 21. Typical Connection Diagram

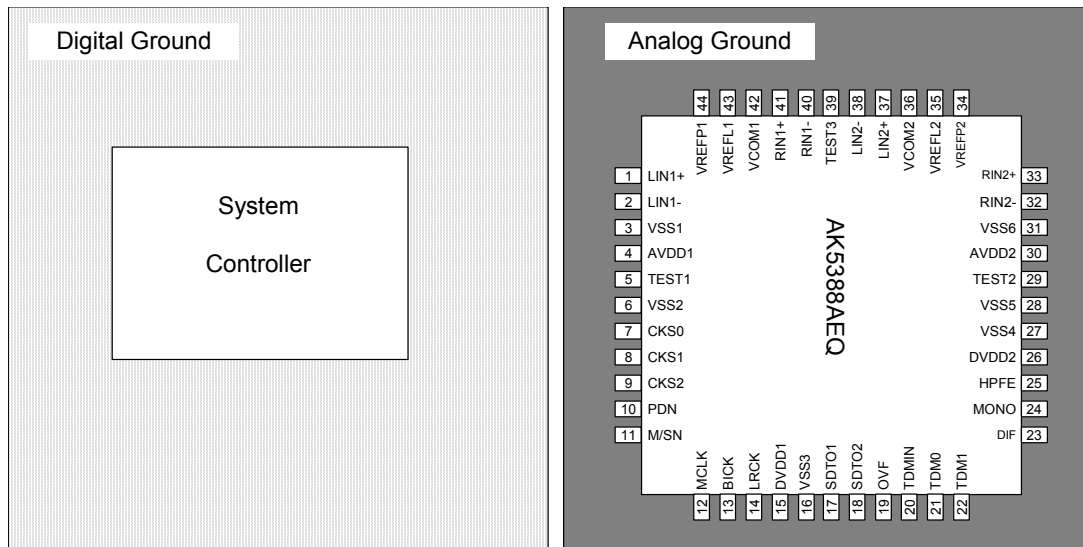


Figure 22. Ground Layout

注: VSS1-6は同じアナロググラウンドに接続して下さい。

1. グラウンドと電源のデカップリング

電源とグラウンドの取り方には十分注意して下さい。通常、AVDD1/2, DVDD1/2にはシステムのアナログ電源を供給します。AVDD1/2, DVDD1/2が別電源で供給される場合には、電源立ち上げシーケンスを考える必要はありません。VSS1-6はアナロググラウンドに接続して下さい。システムのグラウンドはアナログとデジタルで分けて配線しPCボード上の電源に近いところで接続して下さい。小容量のデカップリングコンデンサはなるべく電源ピンの近くに接続して下さい。

2. 基準電圧

A/D変換の基準電圧はVREFP1/2 pinの電圧とVREFL1/2 pinの電圧の差です。VREFL1/2 pinはアナロググラウンドに接続し、VREFP1/2 pinには電源と同様、高周波ノイズを除去するために0.1 μ Fのセラミックコンデンサと10 μ F以下の電解コンデンサをVREFP1/2 pinとVREFL1/2 pin間に接続して下さい。特にセラミックコンデンサはピンにできるだけ近づけて接続して下さい。さらにデジタル信号、特にクロックは変調器へのカップリングを避けるためにVREFP1/2 pinからできるだけ離して下さい。

VCOM1/2はアナログ信号のコモン電圧として使われます。このピンには高周波ノイズを除去するために2.2 μ F程度のセラミックコンデンサをAVSSとの間に接続して下さい。特に、セラミックコンデンサはピンにできるだけ近づけて接続して下さい。VCOM1/2 pinから電流を取ってはいけません。デジタル信号、特にクロックは変調器へのカップリングを避けるため、VCOM1/2 pinからできるだけ離して下さい。

3. アナログ入力

アナログ入力信号は各チャンネルの差動入力ピンから変調器に入力されます。入力電圧はLIN+(RIN+)とLIN-(RIN-)の差の電圧になります。入力レンジは $\pm 2.8V_{pp}(\text{typ})$ です。AK5388AはVSS1-6からAVDD1/2までの電圧を入力することができます。出力コードのフォーマットは2'sコンプリメントです。DCオフセット(ADC自体のDCオフセットも含む)は内蔵のHPFでキャンセルされます。

AK5388Aは128fsでアナログ入力をサンプリングします。デジタルフィルタは、128fsの整数倍付近の帯域を除く阻止域以上のノイズを全て除去します。ほとんどのオーディオ信号では128fs付近に大きなノイズを持つことはありませんので、簡単なRCフィルタで128fs付近のノイズを十分に減衰させることができます。

AK5388Aのアナログ電源電圧は+5Vになっており、アナログ入力ピンには、AVDD1/2+0.3V以上、(VSS1-6)-0.3V以下の電圧と10mA以上の電流を入力してはいけません。過大電流の流入は内部の保護回路の破壊、さらにはラッチアップを引き起こし、ICの破壊に至ります。従って、周辺のアナログ回路の電源電圧が、 $\pm 15V$ 等の場合はアナログ入力ピンを絶対最大定格以上の信号から保護する必要があります。

4. 外部アナログ入力回路

Figure 23はAK5388Aのアナログ入力回路例1 (1st order HPF; $f_c=0.70\text{Hz}$, 2nd order LPF; $f_c=351\text{kHz}$, $\text{gain}=-14.5\text{dB}$)です。シングルエンドで入力する場合は差動入力する場合と比較して反転バッファが一つ増えます。Figure 23ではシングルエンドの場合はJP1, 2をショート、差動の場合はJP1, 2をオープンにします。この回路の入力レベルは $\pm 15.0\text{Vpp}$ です (AK5388A: $\pm 2.8\text{Vpp}$ Typ.)。この回路使用時のアナログ特性は $f_s=48\text{kHz}$ の時、 $\text{DR}=120\text{dB}$, $S/(N+D)=110\text{dB}$ です。

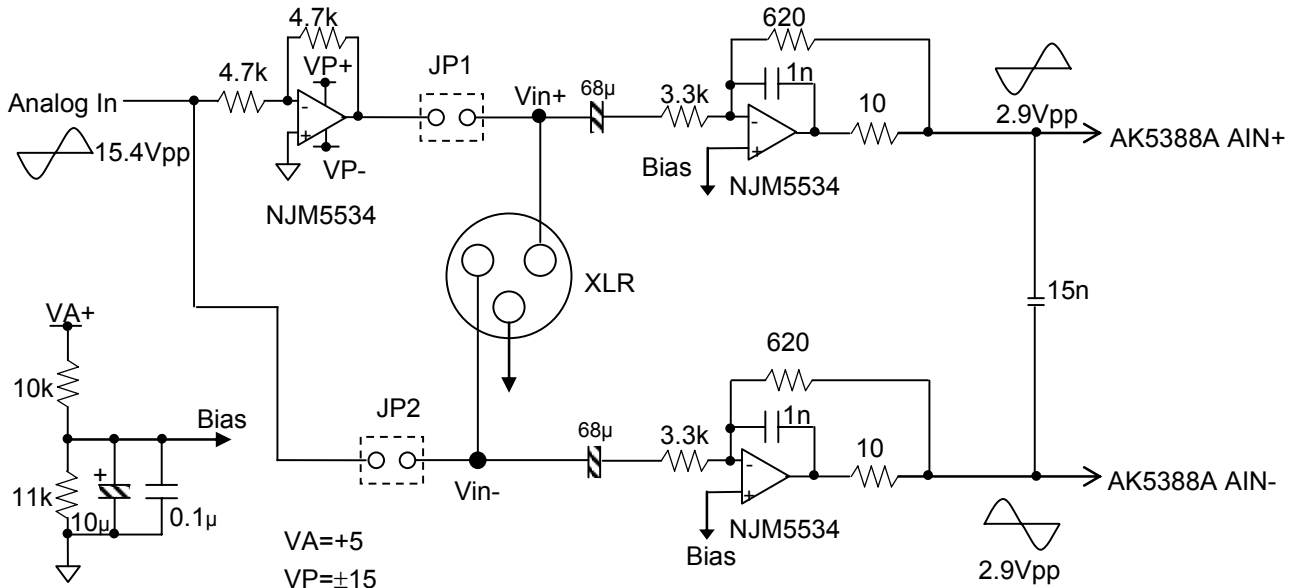


Figure 23. Input Buffer example1

f_{in}	1Hz	10Hz
Frequency Response	-1.77dB	-0.02dB

Table 8. Frequency Response of HPF

f_{in}	20kHz	40kHz	80kHz	6.144MHz
Frequency Response	0.00dB	0.00dB	0.00dB	-49.68dB

Table 9. Frequency Response of LPF

Figure 24はMono mode 時の入力バッファ回路例(1st order HPF; fc=0.70Hz, 2nd order LPF; fc=351kHz, gain=-14.5dB)です。

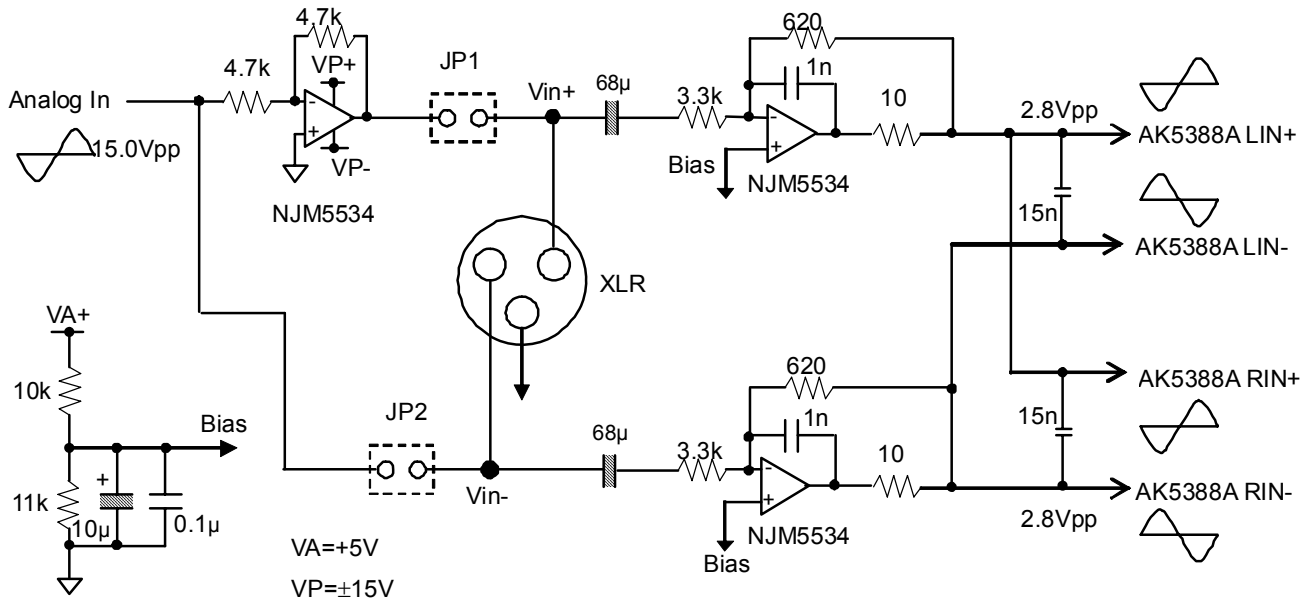


Figure 24 External Analog Circuit Examples

f _{in}	1Hz	10Hz
Frequency Response	-1.77dB	-0.02dB

Table 10. Frequency Response of HPF

f _{in}	20kHz	40kHz	80kHz	6.144MHz
Frequency Response	0.00dB	0.00dB	0.00dB	-49.68dB

Table 11. Frequency Response of LPF

5. 測定例

Figure 25 はFFT測定結果です。

[測定条件]

Ta=25°C; AVDD1/2=5.0V; VREFP1/2=5.0V, VREFL1/2=0V, DVDD=3.3V; VSS1=VSS2=VSS3=VSS4=0V;
fs=48kHz; Signal Frequency =1kHz, -1dBFS, Measured by Audio Precision, System Two.

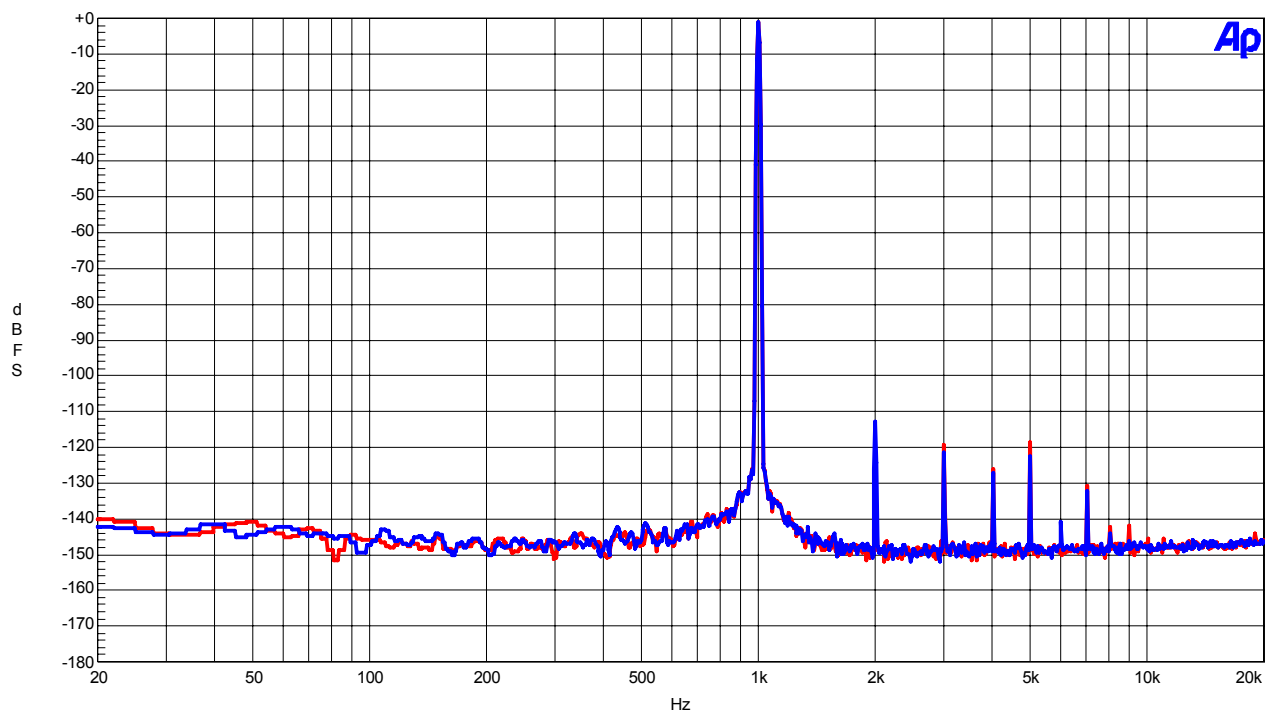
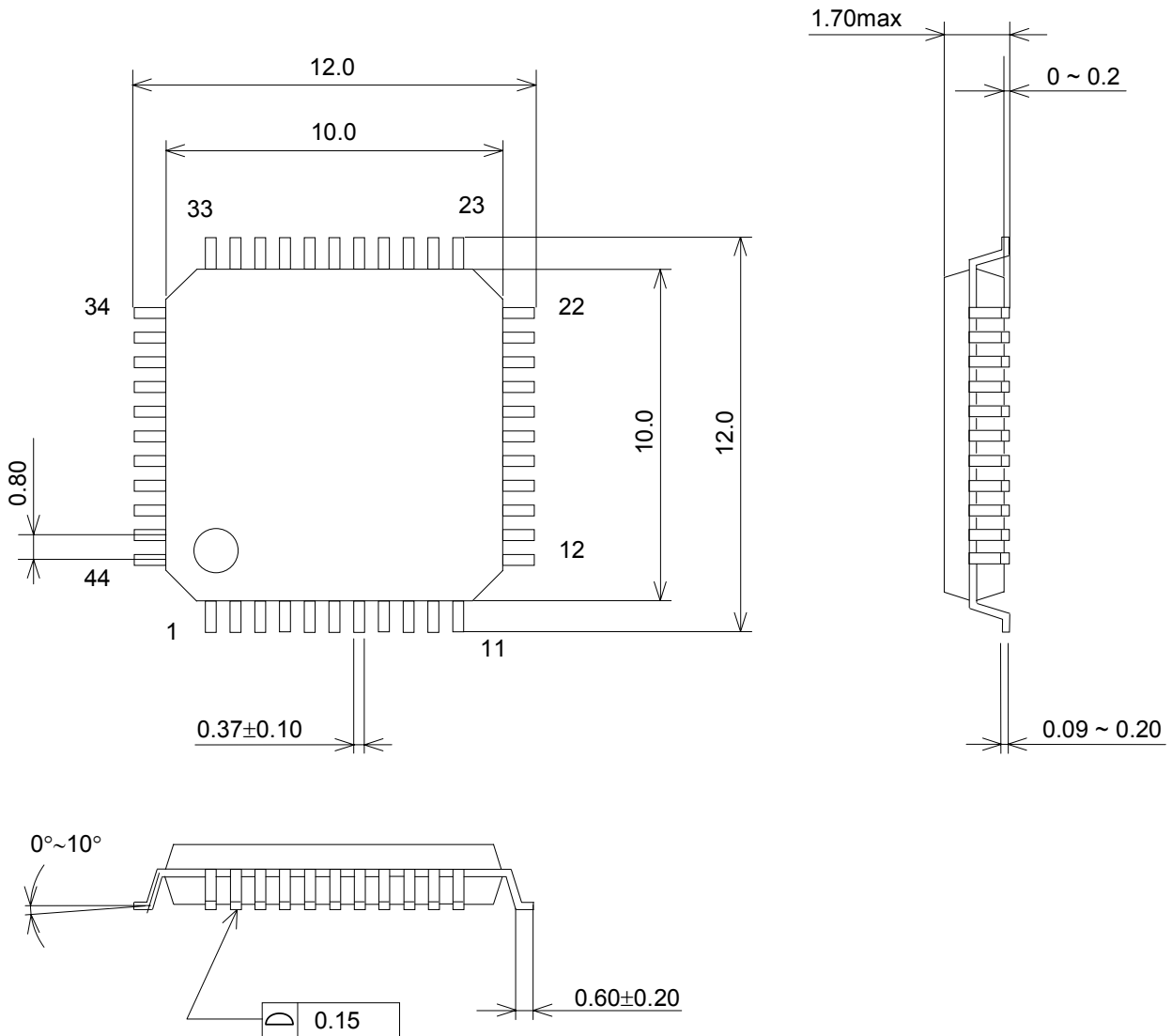


Figure 25. FFT (Blue: Left Channel, Red: Right Channel)

パッケージ

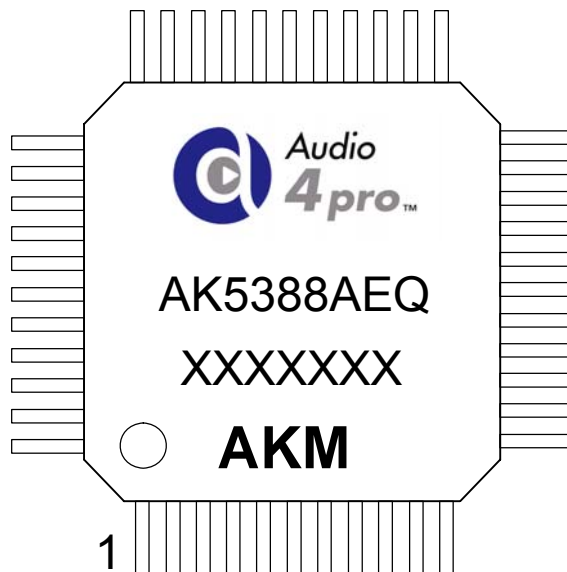
44pin LQFP (Unit: mm)



■ 材料・メッキ仕様

- パッケージ材質: エポキシ系樹脂
- リードフレーム材質: 銅
- リードフレーム処理: 半田(無鉛)メッキ

マーキング



- 1) Pin #1 indication
- 2) Audio 4 pro Logo
- 3) Date Code: XXXXXXXX(7 digits)
- 4) Marking Code: AK5388A
- 5) AKM Logo

改訂履歴

Date (Y/M/D)	Revision	Reason	Page	Contents
12/12/10	00	初版		
13/02/15	01	仕様変更	7	アナログ特性 Input Resistance: 3.3 → 3.15kΩ (min), 4.1 → 4.25kΩ (max)
13/05/24	02	誤記訂正	24	システム設計 Figure 21 を変更

重要な注意事項

0. 本書に記載された弊社製品（以下、「本製品」といいます。）、および、本製品の仕様につきましては、本製品改善のために予告なく変更することがあります。従いまして、ご使用を検討の際には、本書に掲載した情報が最新のものを弊社営業担当、あるいは弊社特約店営業担当にご確認ください。
1. 本書に記載された情報は、本製品の動作例、応用例を説明するものであり、その使用に際して弊社および第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。お客様の機器設計において当該情報を使用される場合は、お客様の責任において行って頂くとともに、当該情報の使用に起因してお客様または第三者に生じた損害に対し、弊社はその責任を負うものではありません。
2. 本製品は、医療機器、航空宇宙用機器、輸送機器、交通信号機器、燃焼機器、原子力制御用機器、各種安全装置など、その装置・機器の故障や動作不良が、直接または間接を問わず、生命、身体、財産等へ重大な損害を及ぼすことが通常予想されるような極めて高い信頼性を要求される用途に使用されることを意図しておらず、保証もされていません。そのため、別途弊社より書面で許諾された場合を除き、これらの用途に本製品を使用しないでください。万が一、これらの用途に本製品を使用された場合、弊社は、当該使用から生ずる損害等の責任を一切負うものではありません。
3. 弊社は品質、信頼性の向上に努めておりますが、電子製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により、生命、身体、財産等が侵害されることのないよう、お客様の責任において、本製品を搭載されるお客様の製品に必要な安全設計を行うことをお願いします。
4. 本製品および本書記載の技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事情報の目的で使用しないでください。本製品および本書記載の技術情報を輸出または非居住者に提供する場合は、「外国為替及び外国貿易法」その他の適用ある輸出関連法令を遵守し、必要な手続を行ってください。本製品および本書記載の技術情報を国内外の法令および規則により製造、使用、販売を禁止されている機器・システムに使用しないでください。
5. 本製品の環境適合性等の詳細につきましては、製品個別に必ず弊社営業担当までお問合せください。本製品のご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようにご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、弊社は一切の責任を負いかねます。
6. お客様の転売等によりこの注意事項に反して本製品が使用され、その使用から損害等が生じた場合はお客様にて当該損害をご負担または補償して頂きますのでご了承ください。
7. 本書の全部または一部を、弊社の事前の書面による承諾なしに、転載または複製することを禁じます。